

PATENT ABSTRACTS OF JAPAN

AB

(11)Publication number : 2000-215081

(43)Date of publication of application : 04.08.2000

(51)Int.Cl.

G06F 11/28

(21)Application number : 11-017890

(71)Applicant : NEC CORP

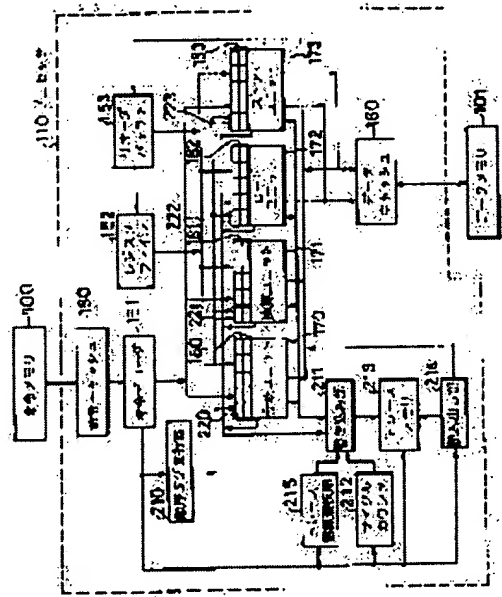
(22)Date of filing : 27.01.1999

(72)Inventor : SAKAI JUNJI

(54) TRACE INFORMATION GATHERING MECHANISM

(57)Abstract:

PROBLEM TO BE SOLVED: To record trace information of a processor including software invisible information in the execution order and description order of instructions and to access it.
SOLUTION: An order tag issue part 2310 attach an order tag to an instruction decoded by an instruction decoder 151. Function units 170, 171, 172, and 173 informs an instruction completing the process of the appended order tag and the execution status of the instruction. A write part, 211 writes the order tag reported in instruction execution order trace information gathering mode to a trace memory 213 at every clock cycle by using a clock cycle as an address and writes the execution status reported in instruction description trace information gathering mode to the trace memory 213 by using the reported order tag as an address. A read part 214 transfers the contents of the trace memory 213 to the register of a register file 152.



LEGAL STATUS

[Date of request for examination] 24.03.1999

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3180953

[Date of registration] 20.04.2001

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2000-215081
(P2000-215081A)

(43) 公開日 平成12年8月4日 (2000. 8. 4)

(51) Int.Cl.⁷
G 0 6 F 11/28

識別記号
3 1 0

F I
G 0 6 F 11/28

テーマコード(参考)

3 1 0 A 5 B 0 4 2

審査請求 有 請求項の数10 O L (全 14 頁)

(21) 出願番号 特願平11-17890

(22) 出願日 平成11年1月27日 (1999. 1. 27)

(71) 出願人 000004237

日本電気株式会社
東京都港区芝五丁目7番1号

(72) 発明者 酒井 淳嗣

東京都港区芝五丁目7番1号 日本電気株
式会社内

(74) 代理人 100088890

弁理士 河原 純一

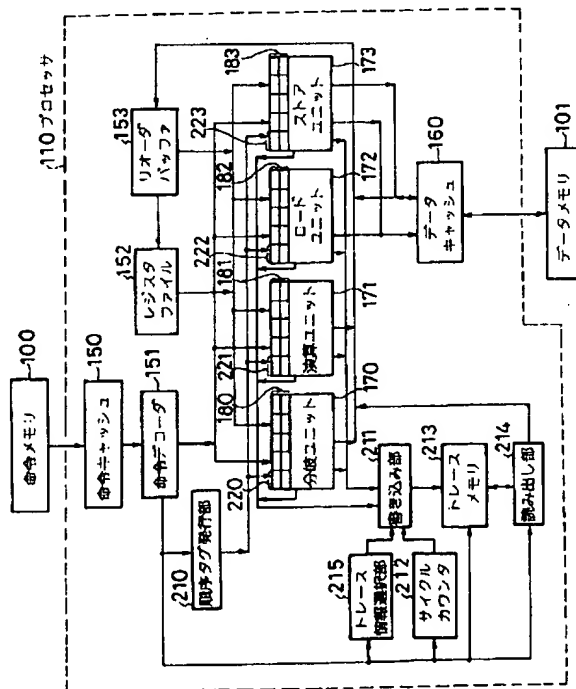
Fターム(参考) 5B042 GA03 HH30 JJ38 MA08 MC06

(54) 【発明の名称】 トレース情報採取機構

(57) 【要約】

【課題】 ソフトウェア不可視情報を含むプロセッサの
トレース情報を命令の実行順や命令の記述順に沿って記
録し、かつアクセスできるようにする。

【解決手段】 順序タグ発行部210は、命令デコーダ
151によりデコードされた命令に順序タグを添付す
る。機能ユニット170、171、172、173は、
処理を終えた命令に添付された順序タグおよび該命令の
実行ステータスを通知する。書き込み部211は、命令
実行順トレース情報採取モードのときに通知された順序
タグをクロックサイクル値をアドレスとしてトレースメ
モリ213にクロックサイクル毎に書き込み、命令記述
順トレース情報採取モードのときに通知された実行ステ
ータスを通知された順序タグをアドレスとしてトレース
メモリ213に書き込む。読み出し部214は、トレー
スメモリ213の内容をレジスタファイル152のレジ
スタに転送する。



【特許請求の範囲】

【請求項1】 命令デコーダ、各機能ユニットおよびレジスタファイルを備えるプロセッサにおいて、前記命令デコーダにより命令がデコードされるたびに該命令に異なるタグを添付するタグ発行部と、処理を終えた命令に添付されたタグを通知する前記機能ユニットと、前記命令デコーダにより初期化命令がデコードされたときに定められた初期値にリセットされ前記プロセッサのクロックサイクル毎に値が増加するサイクルカウンタと、トレース情報を記録するトレースメモリと、前記機能ユニットから通知されたタグを前記サイクルカウンタのクロックサイクル値をアドレスとして前記トレースメモリに前記プロセッサのクロックサイクル毎に書き込む書き込み部と、前記トレースメモリの内容を前記レジスタファイルのレジスタに転送する読み出し部とを備えることを特徴とするトレース情報採取機構。

【請求項2】 命令デコーダ、各機能ユニットおよびレジスタファイルを備えるプロセッサにおいて、前記命令デコーダにより命令がデコードされるたびに該命令に異なるタグを添付するタグ発行部と、処理を終えた命令に添付されたタグおよび該命令の実行ステータスを通知する前記機能ユニットと、トレース情報を記録するトレースメモリと、前記機能ユニットから通知された実行ステータスを該機能ユニットから通知されたタグをアドレスとして前記トレースメモリに書き込む書き込み部と、前記トレースメモリの内容を前記レジスタファイルのレジスタに転送する読み出し部とを備えることを特徴とするトレース情報採取機構。

【請求項3】 命令デコーダ、各機能ユニットおよびレジスタファイルを備えるプロセッサにおいて、前記命令デコーダによりトレース情報選択命令がデコードされたときに該トレース情報選択命令によって指示されたトレースモードを保持するトレース情報選択部と、前記命令デコーダにより命令がデコードされるたびに該命令に異なるタグを添付するタグ発行部と、処理を終えた命令に添付されたタグおよび該命令の実行ステータスを通知する前記機能ユニットと、前記命令デコーダにより初期化命令がデコードされたときに定められた初期値にリセットされ前記プロセッサのクロックサイクル毎に値が増加するサイクルカウンタと、トレース情報を記録するトレースメモリと、前記トレース情報選択部に保持されたトレースモードが命令実行順トレース情報採取モードであるときに前記機能ユニットから通知されたタグを前記サイクルカウンタのクロックサイクル値をアドレスとして前記トレースメモリに前記プロセッサのクロックサイクル毎に書き込み、前記トレース情報選択部に保持されたトレースモードが命令記述順トレース情報採取モードであるときに前記機能ユニットから通知された実行ステータスを該機能ユニットから通知されたタグをアドレスとして前記トレースメモリに書き込む書き込み部と、前記

トレースメモリの内容を前記レジスタファイルのレジスタに転送する読み出し部とを備えることを特徴とするトレース情報採取機構。

【請求項4】 命令デコーダ、各機能ユニットおよびレジスタファイルを備えるプロセッサにおいて、前記命令デコーダによりトレース情報採取動作のトリガ命令がデコードされたときに定められた初期値にリセットされ前記命令デコーダにより命令がデコードされるたびに値が増加する内部カウンタを有し、前記命令デコーダによりデコードされた命令に前記内部カウンタのカウント値を順序タグとして添付する順序タグ発行部と、処理を終えた命令に添付された順序タグを通知する前記機能ユニットと、前記命令デコーダによりトレース情報採取動作のトリガ命令がデコードされたときに定められた初期値にリセットされ前記プロセッサのクロックサイクル毎に値が増加するサイクルカウンタと、トレース情報を記録するトレースメモリと、前記機能ユニットから通知された順序タグを前記サイクルカウンタのクロックサイクル値をアドレスとして前記トレースメモリに前記プロセッサのクロックサイクル毎に書き込む書き込み部と、前記トレースメモリの内容を前記レジスタファイルのレジスタに転送する読み出し部とを備えることを特徴とするトレース情報採取機構。

【請求項5】 命令デコーダ、各機能ユニットおよびレジスタファイルを備えるプロセッサにおいて、前記命令デコーダによりトレース情報採取動作のトリガ命令がデコードされたときに定められた初期値にリセットされ前記命令デコーダにより命令がデコードされるたびに値が増加する内部カウンタを有し、前記命令デコーダによりデコードされた命令に前記内部カウンタのカウント値を順序タグとして添付する順序タグ発行部と、処理を終えた命令に添付された順序タグおよび該命令の実行ステータスを通知する前記機能ユニットと、トレース情報を記録するトレースメモリと、前記機能ユニットから通知された実行ステータスを該機能ユニットから通知された順序タグをアドレスとして前記トレースメモリに書き込む書き込み部と、前記トレースメモリの内容を前記レジスタファイルのレジスタに転送する読み出し部とを備えることを特徴とするトレース情報採取機構。

【請求項6】 命令デコーダ、各機能ユニットおよびレジスタファイルを備えるプロセッサにおいて、前記命令デコーダによりトレース情報選択命令がデコードされたときに該トレース情報選択命令によって指示されたトレースモードを保持するトレース情報選択部と、前記命令デコーダによりトレース情報採取動作のトリガ命令がデコードされたときに定められた初期値にリセットされ前記命令デコーダにより命令がデコードされるたびに値が増加する内部カウンタを有し、前記命令デコーダによりデコードされた命令に前記内部カウンタのカウント値を順序タグとして添付する順序タグ発行部と、処理を終え

た命令に添付された順序タグおよび該命令の実行ステータスを通知する前記機能ユニットと、前記命令デコーダによりトレース情報採取動作のトリガ命令がデコードされたときに定められた初期値にリセットされ前記プロセッサのクロックサイクル毎に値が増加するサイクルカウンタと、トレース情報を記録するトレースメモリと、前記トレース情報選択部に保持されたトレースモードが命令実行順トレース情報採取モードであるときに前記機能ユニットから通知された順序タグを前記サイクルカウンタのクロックサイクル値をアドレスとして前記トレースメモリに前記プロセッサのクロックサイクル毎に書き込み、前記トレース情報選択部に保持されたトレースモードが命令記述順トレース情報採取モードであるときに前記機能ユニットから通知された実行ステータスを該機能ユニットから通知された順序タグをアドレスとして前記トレースメモリに書き込む書き込み部と、前記トレースメモリの内容を前記レジスタファイルのレジスタに転送する読み出し部とを備えることを特徴とするトレース情報採取機構。

【請求項7】 前記トレースメモリが、行位置および列位置でアドレスされるメモリセルの集合であり、1クロックサイクルに記録したい情報の最大ビット数を列方向、履歴を記録したい最長のクロックサイクル数または最長命令数を行方向とする矩形メモリ領域の容量を有する請求項1、請求項2、請求項3、請求項4、請求項5または請求項6記載のトレース情報採取機構。

【請求項8】 前記読み出し部が、前記トレースメモリの指定された行の内容を読み出して前記レジスタファイルのレジスタに転送できるとともに、前記トレースメモリの指定された列の内容を読み出して前記レジスタファイルのレジスタに転送できる請求項1、請求項2、請求項3、請求項4、請求項5または請求項6記載のトレース情報採取機構。

【請求項9】 前記命令デコーダが、トレース情報選択命令をデコードしたときにパラメータに応じて前記トレースメモリの内容を初期値にリセットする請求項1、請求項2、請求項3、請求項4、請求項5または請求項6記載のトレース情報採取機構。

【請求項10】 前記プロセッサが各機能ユニットの入口にリザーベーションステーションを有するスーパースカラプロセッサであり、前記リザーベーションステーション内に命令に添付された順序タグを格納する順序タグフィールドを備え、各機能ユニットが処理を終えた命令に対応する前記順序タグフィールドの順序タグを前記書き込み部に通知する請求項1、請求項2、請求項3、請求項4、請求項5または請求項6記載のトレース情報採取機構。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は計算機システムの

ロセッサにおいて実行履歴を示すトレース情報を採取するトレース情報採取機構に関し、特にソフトウェアから不可視である情報（以下、ソフトウェア不可視情報という）を含むトレース情報をソフトウェア自身が採取することを可能にするトレース情報採取機構に関する。

【0002】

【従来の技術】 プロセッサが動作中の各種状態をトレース情報として採取する方法は、従来からいくつか知られている。

【0003】 特開平5-173838号公報および特開平8-161195号公報には、プロセッサが実行した機械語命令のアドレスの履歴を記録する技術が開示されている。これらの技術は、プログラム上の実行した機械語命令のアドレスを長期間に渡って記録することを主目的としている。

【0004】 また、特開平6-83670号公報には、実行した命令のオペランド情報等をトレース情報として記憶領域に格納し、あらかじめ記述しておいた正しいトレース情報と一致比較を行う技術が開示されている。この技術は、プログラムのテストを効率よく行うことを主目的としている。

【0005】

【発明が解決しようとする課題】 上述した従来の技術には、いくつかの問題点があった。

【0006】 第1の問題点は、命令アドレスやオペランド等のソフトウェアから観測可能な情報の履歴のみの収集にとどまり、ソフトウェア不可視情報の履歴が収集されないことである。スーパースカラ命令や命令のアウトオブオーダー実行等の高度な機能を実装したプロセッサの開発およびデバッグを行う上では、命令実行タイミング等ソフトウェア不可視情報も含めたトレース情報が重要である。

【0007】 第2の問題点は、トレース情報の収集制御および収集結果の利用がソフトウェアから柔軟に行うことができないことである。例えば、特開平5-173838号公報および特開平8-161195号公報の技術では、命令アドレスの履歴を収集するのみで、その収集結果に基づいて一致比較等の処理を行うにはトレース情報が格納されている記憶領域を走査しなければならない。また、特開平6-83670号公報の技術は、予め記述しておいた正しいトレース情報との一致比較に特化した方法である。

【0008】 これらの従来の技術は、例えば、規模の大きなテストプログラムを用いたプロセッサの検証を自動的に行ったり、収集したトレース情報に基づいてアプリケーションプログラムの性能改善に役立てる等の目的での利用は容易ではなかった。

【0009】 本発明の第1の目的は、命令実行パイプラインの状態やキャッシュヒットの有無といったソフトウェアからは直接知ることのできないソフトウェア不可視

情報を含むプロセッサのトレース情報を、命令の実行順や命令の記述順に沿って記録するトレース情報採取機構を提供することにある。

【0010】本発明の第2の目的は、採取したトレース情報をソフトウェアから容易かつ柔軟にアクセスできるようにすることで、プロセッサ開発においてソフトウェアによる自律的なプロセッサ検査を可能にするのみならず、アプリケーションプログラム開発においては性能改善に役立つトレース情報採取機構を提供することにある。

【0011】

【課題を解決するための手段】本発明のトレース情報採取機構は、命令デコーダ、各機能ユニットおよびレジスタファイルを備えるプロセッサにおいて、前記命令デコーダにより命令がデコードされるたびに該命令に異なるタグを添付するタグ発行部(図1の210)と、処理を終えた命令に添付されたタグを通知する前記機能ユニット(図1の170、171、172、173)と、前記命令デコーダにより初期化命令がデコードされたときに定められた初期値にリセットされ前記プロセッサのクロックサイクル毎に値が増加するサイクルカウンタ(図1の212)と、トレース情報を記録するトレースメモリ(図1の213)と、前記機能ユニットから通知されたタグを前記サイクルカウンタのクロックサイクル値をアドレスとして前記トレースメモリに前記プロセッサのクロックサイクル毎に書き込む書き込み部(図1の211)と、前記トレースメモリの内容を前記レジスタファイルのレジスタに転送する読み出し部(図1の214)とを備えることを特徴とする。

【0012】また、本発明のトレース情報採取機構は、命令デコーダ、各機能ユニットおよびレジスタファイルを備えるプロセッサにおいて、前記命令デコーダにより命令がデコードされるたびに該命令に異なるタグを添付するタグ発行部(図1の210)と、処理を終えた命令に添付されたタグおよび該命令の実行ステータスを通知する前記機能ユニット(図1の170、171、172、173)と、トレース情報を記録するトレースメモリ(図1の213)と、前記機能ユニットから通知された実行ステータスを該機能ユニットから通知されたタグをアドレスとして前記トレースメモリに書き込む書き込み部(図1の211)と、前記トレースメモリの内容を前記レジスタファイルのレジスタに転送する読み出し部(図1の214)とを備えることを特徴とする。

【0013】さらに、本発明のトレース情報採取機構は、命令デコーダ、各機能ユニットおよびレジスタファイルを備えるプロセッサにおいて、前記命令デコーダによりトレース情報選択命令がデコードされたときに該トレース情報選択命令によって指示されたトレースモードを保持するトレース情報選択部(図1の215)と、前記命令デコーダにより命令がデコードされるたびに該命

令に異なるタグを添付するタグ発行部(図1の210)と、処理を終えた命令に添付されたタグおよび該命令の実行ステータスを通知する前記機能ユニット(図1の170、171、172、173)と、前記命令デコーダにより初期化命令がデコードされたときに定められた初期値にリセットされ前記プロセッサのクロックサイクル毎に値が増加するサイクルカウンタ(図1の212)と、トレース情報を記録するトレースメモリ(図1の213)と、前記トレース情報選択部に保持されたトレースモードが命令実行順トレース情報採取モードであるときに前記機能ユニットから通知されたタグを前記サイクルカウンタのクロックサイクル値をアドレスとして前記トレースメモリに前記プロセッサのクロックサイクル毎に書き込み、前記トレース情報選択部に保持されたトレースモードが命令記述順トレース情報採取モードであるときに前記機能ユニットから通知された実行ステータスを該機能ユニットから通知されたタグをアドレスとして前記トレースメモリに書き込む書き込み部(図1の211)と、前記トレースメモリの内容を前記レジスタファイルのレジスタに転送する読み出し部(図1の214)とを備えることを特徴とする。

【0014】さらにまた、本発明のトレース情報採取機構は、命令デコーダ、各機能ユニットおよびレジスタファイルを備えるプロセッサにおいて、前記命令デコーダによりトレース情報採取動作のトリガ命令がデコードされたときに定められた初期値にリセットされ前記命令デコーダにより命令がデコードされるたびに値が増加する内部カウンタを有し、前記命令デコーダによりデコードされた命令に前記内部カウンタのカウント値を順序タグとして添付する順序タグ発行部(図1の210)と、処理を終えた命令に添付された順序タグを通知する前記機能ユニット(図1の170、171、172、173)と、前記命令デコーダによりトレース情報採取動作のトリガ命令がデコードされたときに定められた初期値にリセットされ前記プロセッサのクロックサイクル毎に値が増加するサイクルカウンタ(図1の212)と、トレース情報を記録するトレースメモリ(図1の213)と、前記機能ユニットから通知された順序タグを前記サイクルカウンタのクロックサイクル値をアドレスとして前記トレースメモリに前記プロセッサのクロックサイクル毎に書き込む書き込み部(図1の211)と、前記トレースメモリの内容を前記レジスタファイルのレジスタに転送する読み出し部(図1の214)とを備えることを特徴とする。

【0015】また、本発明のトレース情報採取機構は、命令デコーダ、各機能ユニットおよびレジスタファイルを備えるプロセッサにおいて、前記命令デコーダによりトレース情報採取動作のトリガ命令がデコードされたときに定められた初期値にリセットされ前記命令デコーダにより命令がデコードされるたびに値が増加する内部カ

10

20

30

40

50

ウンタを有し、前記命令デコーダによりデコードされた命令に前記内部カウンタのカウント値を順序タグとして添付する順序タグ発行部(図1の210)と、処理を終えた命令に添付された順序タグおよび該命令の実行ステータスを通知する前記機能ユニット(図1の170, 171, 172, 173)と、トレース情報を記録するトレースメモリ(図1の213)と、前記機能ユニットから通知された実行ステータスを該機能ユニットから通知された順序タグをアドレスとして前記トレースメモリに書き込む書き込み部(図1の211)と、前記トレースメモリの内容を前記レジスタファイルのレジスタに転送する読み出し部(図1の214)とを備えることを特徴とする。

【0016】さらに、本発明のトレース情報採取機構は、命令デコーダ、各機能ユニットおよびレジスタファイルを備えるプロセッサにおいて、前記命令デコーダによりトレース情報選択命令がデコードされたときに該トレース情報選択命令によって指示されたトレースモードを保持するトレース情報選択部(図1の215)と、前記命令デコーダによりトレース情報採取動作のトリガ命令がデコードされたときに定められた初期値にリセットされ前記命令デコーダにより命令がデコードされるたびに値が増加する内部カウンタを有し、前記命令デコーダによりデコードされた命令に前記内部カウンタのカウント値を順序タグとして添付する順序タグ発行部(図1の210)と、処理を終えた命令に添付された順序タグおよび該命令の実行ステータスを通知する前記機能ユニット(図1の170, 171, 172, 173)と、前記命令デコーダによりトレース情報採取動作のトリガ命令がデコードされたときに定められた初期値にリセットされ前記プロセッサのクロックサイクル毎に値が増加するサイクルカウンタ(図1の212)と、トレース情報を記録するトレースメモリ(図1の213)と、前記トレース情報選択部に保持されたトレースモードが命令実行順トレース情報採取モードであるときに前記機能ユニットから通知された順序タグを前記サイクルカウンタのクロックサイクル値をアドレスとして前記トレースメモリに前記プロセッサのクロックサイクル毎に書き込み、前記トレース情報選択部に保持されたトレースモードが命令記述順トレース情報採取モードであるときに前記機能ユニットから通知された実行ステータスを該機能ユニットから通知された順序タグをアドレスとして前記トレースメモリに書き込む書き込み部(図1の211)と、前記トレースメモリの内容を前記レジスタファイルのレジスタに転送する読み出し部(図1の214)とを備えることを特徴とする。

【0017】

【発明の実施の形態】以下、本発明の実施の形態について図面を参照して詳細に説明する。

【0018】図1は、本発明の一実施の形態に係るトレ

ース情報採取機構を組み込んだプロセッサ110の構成を示す回路ブロック図である。このプロセッサ110は、命令メモリ100およびデータメモリ101に接続されており、命令キャッシュ150、命令デコーダ151、レジスタファイル152、リオーダバッファ153、データキャッシュ160、分岐ユニット170、演算ユニット171、ロードユニット172、およびストアユニット173からなるスーパースカラプロセッサの部分と、順序タグ発行部210、書き込み部211、サイクルカウンタ212、トレースメモリ213、読み出し部214、およびトレース情報選択部215からなるトレース情報採取機構の部分とから構成されている。

【0019】なお、スーパースカラプロセッサの部分は、「スーパースカラ・プロセッサ」(マイク・ジョンソン原著、村上和彰監訳、日経BP出版センター、1994年)の第44頁以降に説明されている標準的なスーパースカラ・プロセッサ・モデルに対応したものであり、スーパースカラプロセッサの部分に限定した構成および動作については、上記文献の第45〜50頁に詳しく述べられている。

【0020】ここで、まず、スーパースカラプロセッサの部分の構成について簡単に説明する。

【0021】スーパースカラプロセッサは、機能ユニットとして、分岐ユニット170、演算ユニット171、ロードユニット172、およびストアユニット173を各1つずつ備える。各機能ユニット(170, 171, 172, 173)は、その入口にリザーベーションステーション180, 181, 182, 183をそれぞれ備え、リザーベーションステーション180, 181, 182, 183内には、順序タグフィールド220, 221, 222, 223を含む1つ以上のエントリがそれぞれ設けられている。

【0022】命令キャッシュ150は、命令メモリ100から取り出された命令を一旦格納する。

【0023】命令デコーダ151は、命令キャッシュ150から命令を取り出し、当該命令を処理可能な機能ユニット(170, 171, 172, 173)を1つ選択し、その機能ユニットの入口に備わっているリザーベーションステーション(機能ユニットに応じて180, 181, 182, 183のいずれか)の空きエントリに当該命令のオペコード(命令の種類)およびオペランド情報(オペランドレジスタ値)を格納する。

【0024】レジスタファイル152は、各機能ユニット(170, 171, 172, 173)が必要とするオペランドレジスタ値を、各機能ユニット(170, 171, 172, 173)の入口にあるリザーベーションステーション180, 181, 182, 183に送る。

【0025】リオーダバッファ153は、処理を終えた各命令の演算結果を管理し、処理を終えた命令に対する演算結果のレジスタ値をレジスタファイル152に書き

込む。また、リオーダバッファ153は、各機能ユニット(170, 171, 172, 173)が必要とするオペランドレジスタ値を、各機能ユニット(170, 171, 172, 173)の入口にあるリザベーションステーション180, 181, 182, 183に送る。

【0026】分岐ユニット170は、入口に備わったリザベーションステーション180からオペコードおよびオペランド情報を取り出して分岐処理を行い、その結果をリオーダバッファ153に送る。

【0027】演算ユニット171は、入口に備わったリザベーションステーション181からオペコードおよびオペランド情報を取り出して演算処理を行い、その結果をリオーダバッファ153に送る。

【0028】ロードユニット172は、入口に備わったリザベーションステーション182からオペコードおよびオペランド情報を取り出して、データキャッシュ160経由でデータメモリ101からデータを読み込み、データキャッシュ160からリオーダバッファ153にデータを送る。

【0029】ストアユニット173は、入口に備わったリザベーションステーション183からオペコードおよびオペランド情報を取り出して、データキャッシュ160経由でデータメモリ101にデータを書き込む。

【0030】次に、本実施の形態に係るトレース情報採取機構の構成について説明する。

【0031】順序タグ発行部210は、内部カウンタを有し、この内部カウンタは、命令デコーダ151がトレース情報採取動作の開始を指示するトリガ命令をデコードした際に、ある定められた初期値、例えば値0にリセットされる。

【0032】順序タグ発行部210は、命令デコーダ151が命令をデコードして各機能ユニット(170, 171, 172, 173)のリザベーションステーション180, 181, 182, 183にオペコードおよびオペランド情報を送り込むたびに、内部カウンタのカウント値を1ずつ増やし、その内部カウンタのカウント値を順序タグとして、当該命令のオペコードおよびオペランド情報が送り込まれたリザベーションステーション180, 181, 182, 183内のエントリの順序タグフィールド220, 221, 222, 223に格納する。

【0033】各機能ユニット(170, 171, 172, 173)は、リザベーションステーション180, 181, 182, 183内のエントリにある1命令のオペコードおよびオペランド情報の処理を終えたときに、当該命令の順序タグと当該命令の処理に関する実行ステータスとを書き込み部211に送る。すなわち、処理に複数クロックサイクルを要する命令では、機能ユニット(170, 171, 172, 173)は、その最後のクロックサイクルでのみ順序タグおよび実行ステータスを出力する。

【0034】トレース情報選択部215は、内部レジスタを有し、トレースモード、すなわちトレース情報採取機構の動作モードを保持する。トレースモードは、命令デコーダ151がトレース情報選択命令をデコードした際にトレース情報選択部215に設定される。トレースモードには、トレース情報を命令実行順に採取するトレースモード(以下、命令実行順トレース情報採取モードという)と、トレース情報を命令記述順に採取するトレースモード(以下、命令記述順トレース情報採取モードという)との2つのモードがある。

【0035】サイクルカウンタ212は、プロセッサ110のクロックサイクル毎に1ずつ増加するカウンタであり、命令デコーダ151がトレース情報採取動作のトリガ命令をデコードしたときに、ある定められた初期値、例えば初期値0にリセットされる。

【0036】書き込み部211は、トレース情報選択部215に保持されているトレースモードに従い、サイクルカウンタ212から送られるクロックサイクル値CYCと、各機能ユニット(170, 171, 172, 173)から送られる順序タグおよび実行ステータスとを入力として、トレースメモリ213にトレース情報を書き込むための書き込みアドレスおよび書き込みデータの組を生成する。なお、書き込みアドレスおよび書き込みデータの組が同一のクロックサイクルに複数生成されることがある。書き込み部211は、これらの書き込みアドレスおよび書き込みデータの組に沿ってトレースメモリ213にトレース情報を書き込む。

【0037】トレースメモリ213は、行位置および列位置でアドレスされるメモリセルの集合である。トレースメモリ213に必要な容量は、1クロックサイクルに記録したい情報の最大ビット数を列方向、履歴を記録したい最長のクロックサイクル数または最長命令数を行方向とする矩形メモリ領域の容量である。例えば、本実施の形態では、列方向20ビット、行方向が32行といった小さな容量のメモリである。

【0038】一般に、トレースメモリ213は、書き込みポートを複数持つ。書き込みポートの本数は、プロセッサ110が有する機能ユニット(170, 171, 172, 173)の総数に等しく、本実施の形態では、4本である。トレースメモリ213は、1クロックサイクル毎にデータの書き込みが可能でなければならないが、その書き込みは行単位のみ可能、すなわち行位置をアドレスとする書き込みが行えればよい。

【0039】また、トレースメモリ213は、読み出しポートを2本持ち、その一方は一度に1行分のデータを読み出し、他方は一度に1列分のデータを読み出すことが可能でなければならない。読み出し操作は、書き込みと異なり、必ずしも1クロックサイクル毎に可能である必要はない。

【0040】読み出し部214は、トレースメモリ21

3中の指定アドレスの領域の内容を読み出し、リオーダバッファ153に送る。

【0041】次に、図2、図3および図4を用いて、書き込み部211での書き込みアドレスおよび書き込みデータの生成についてさらに詳しく述べる。

【0042】図2は、書き込み部211の入出力データを示す図である。図中の矢印は、それぞれのデータを伝達する信号線の集合を示しており、必ずしも矢印1本が1ビットのデータを意味するものではない。

【0043】書き込み部211は、各機能ユニット(170, 171, 172, 173)からは順序タグTAGBR, TAGALU, TAGLD, TAGSTおよび実行ステータスSTATBR, STATALU, STATLD, STATSTを、トレース情報選択部215からはトレースモードMODEを、サイクルカウンタ212からはクロックサイクル値CYCを、それぞれ入力として受け取る。

【0044】書き込み部211からの出力信号は、有効な書き込みデータが存在することを示す書き込み有効信号WE0, WE1, WE2, WE3と、トレースメモリ213中の書き込み行位置を示す書き込みアドレスWA0, WA1, WA2, WA3と、実際に書き込むべき値である書き込みデータWD0, WD1, WD2, WD3との3つを1組とした、計4組の書き込み情報である。これらは、トレースメモリ213が持つ4つの書き込みポート#0, #1, #2, #3に送られる。

【0045】図3は、書き込み部211における命令実行順トレース情報採取モードでのデータの流れを示している。

【0046】トレースモードMODEが命令実行順トレース情報採取モードを指示する場合、書き込み部211は、書き込みポート#0に対する書き込み有効信号WE0のみをイネーブルにする。

【0047】また、書き込み部211は、書き込みポート#0の書き込みアドレスWA0としてはクロックサイクル値CYCを出力し、書き込みデータWD0としては各機能ユニット(170, 171, 172, 173)から送られてきた5ビットの順序タグTAGBR, TAGALU, TAGLD, TAGSTをビット連結した20ビットの値を出力する。なお、実行ステータスTAGBR, TAGALU, TAGLD, TAGSTの特定ビットが有効ビットを示し、このビットがオンでない、すなわち有効な順序タグを出力していない機能ユニット(170, 171, 172, 173)に対しては、順序タグとして5ビットの値00000が用いられる。

【0048】図4は、書き込み部211における命令記述順トレース情報採取モードでのデータの流れを示している。

【0049】トレースモードMODEが命令記述順トレース情報採取モードを指示する場合、書き込み部211

は、書き込みポート#0, #1, #2, #3に対して、対応する機能ユニット(170, 171, 172, 173)から送られてきた実行ステータスSTATBR, STATALU, STATLD, STATSTをそれぞれ出力する。

【0050】また、書き込み部211は、各書き込みアドレスWA0, WA1, WA2, WA3に対して、対応する機能ユニット(170, 171, 172, 173)から送られてきた順序タグTAGBR, TAGALU, TAGLD, TAGSTをそれぞれ出力する。

【0051】さらに、書き込み部211は、各書き込み有効信号WE0, WE1, WE2, WE3に対して、対応する機能ユニット(170, 171, 172, 173)から有効な実行ステータスSTATBR, STATALU, STATLD, STATSTが送られている場合のみイネーブルを出力する。なお、実行ステータスSTATBR, STATALU, STATLD, STATSTの有効ビットがオンのときのみ書き込み有効信号WE0, WE1, WE2, WE3をイネーブルとする。

【0052】次に、このように構成された本実施の形態に係るトレース情報採取機構の動作を、図5ないし図12を参照しながら具体的に説明する。

【0053】ここで、プロセッサ110の命令発行仕様を、以下のように仮定する。命令発行は、インオーダである。すなわち、プログラムに記述した順序で命令を発行する。各機能ユニット(170, 171, 172, 173)には、2つのエントリを持つリザーベーションステーション180, 181, 182, 183が備わっている。命令デコーダ151は、処理を行う機能ユニット

(170, 171, 172, 173)のリザーベーションステーション180, 181, 182, 183に空きエントリがあれば、1クロックサイクルに最大3個まで命令を発行できる。演算ユニット171は演算命令を1クロックで実行でき、ロードユニット172およびストアユニット173は各々ロードおよびストア命令を2クロックで実行できるものとする。

【0054】図5は、本実施の形態に係るトレース情報採取機構の動作に関連するプロセッサ命令の一覧を示す図である。

【0055】PSEL命令は、トレース情報選択命令であり、パラメータmode(1つ以上のパラメータからなる場合がある)のビットパターンでトレースモードを指示する。指示されたトレースモードはトレース情報選択部215に保持され、その後のトレース情報採取動作において書き込み部211での信号選択に用いられる。例えば、第1パラメータがunitであれば、命令実行順トレース情報採取モードが指定され、採取すべきトレース情報の種類として機能ユニット(170, 171, 172, 173)毎の処理を終えた命令の順序タグTAGBR, TAGALU, TAGLD, TAGSTが選択

される(図6参照)。また、第1パラメータがstatusであれば、命令記述順トレース情報採取モードが指定され、採取すべきトレース情報の種類として各命令の実行ステータスSTATBR, STATALU, STATLD, STATSTが選択される(図10参照)。なお、第2パラメータresetの指定により、トレースメモリ213の全内容が初期値0にリセットされる(図6および図10参照)。

【0056】PTRIG命令は、トレース情報採取動作のトリガ命令であり、順序タグ発行部210の内部カウンタのカウンタ値を初期値0に、サイクルカウンタ212のクロックサイクル値CYCを初期値0にそれぞれリセットするとともに、それ以降、トレース情報採取機構全体を動作状態にさせる。

【0057】PSTOP命令は、トレース情報採取動作の停止命令であり、順序タグ発行部210の内部カウンタおよびサイクルカウンタ212のカウンタ動作を停止させるとともに、書き込み部211のトレースメモリ213への書き込み動作を停止させる。

【0058】PRDR命令およびPRDC命令は、トレースメモリ213に採取されたトレース情報をレジスタファイル152のレジスタに読み出すための命令である。PRDR命令は、第2パラメータrow#で指定されたトレースメモリ213の行の内容を読み出し、第1パラメータreg#で指定されたレジスタに転送する。PRDC命令は、第2パラメータcol#で指定されたトレースメモリ213の列の内容を読み出し、第1パラメータreg#で指定されたレジスタに転送する。

【0059】図6は、トレース情報の採取を行うプログラムの一部分を示す図である。左端の1から12の番号は、説明のために各命令に付した命令番号である。同図において、命令番号1および2はトレース情報の採取の準備を行う部分、命令番号3から11まではトレース情報の採取処理の部分、命令番号12はトレース情報の採取を停止するための部分である。このプログラムは、命令実行順トレース情報採取モードの例である。すなわち、プログラムでの命令の記述順ではなく、命令の実行のクロックサイクル順にトレース情報を採取する。

【0060】図7および図8は、図6に示したプログラムの実行における、発行された命令、各機能ユニット(170, 171, 172, 173)のリザーベーションステーション180, 181, 182, 183に格納されている命令(図中のRVSTはリザーベーションステーションの意である)、各機能ユニット(170, 171, 172, 173)が出力する順序タグ、ならびに書き込み部211に送られる書き込みアドレスおよび書き込みデータをクロックサイクル毎に示したものである。

【0061】図9は、図6に示したプログラムの実行が完了した段階でのトレースメモリ213内のトレース情報を示す図である。

【0062】次に、図6に示したプログラム例に基づいて、命令実行順トレース情報採取モードでトレース情報を採取する場合の動作を説明する。

【0063】命令デコーダ151は、命令番号1のPSEL命令をデコードすると、第1パラメータunitにより、命令実行順トレース情報採取モード(採取すべきトレース情報の種類としては機能ユニット(170, 171, 172, 173)毎の処理を終えた命令の順序タグTAGBR, TAGALU, TAGLD, TAGST)を選択し、トレース情報選択部215に設定する。また、命令デコーダ151は、第2パラメータresetにより、トレースメモリ213の全内容を初期値0にリセットする。

【0064】次に、命令デコーダ151は、命令番号2のPTRIG命令をデコードすると、順序タグ発行部210の内部カウンタを初期値0にリセットするとともに、サイクルカウンタ212を初期値0にリセットし、トレース情報採取機構全体を動作状態にする。ここで、命令番号3のLW命令(ロード命令)が命令デコーダ151からデコードされるクロックサイクルをサイクルカウンタ212のサイクルクロック値CYC(=0)に基づいてクロックサイクル0とし、以後、プロセッサ110のクロックサイクル毎に、クロックサイクル1, クロックサイクル2, ...と呼ぶことにする。

【0065】クロックサイクル0での動作は、以下のようになる。

【0066】命令デコーダ151は、命令番号3のLW命令をデコードすると、そのオペコードおよびオペランド情報をロードユニット172のリザーベーションステーション182の空きエントリに格納する。

【0067】同時に、順序タグ発行部210は、内部カウンタの値を1つ増加させ、内部カウンタの値1をLW命令に対する順序タグとして発行し、命令デコーダ151によりLW命令のオペコードおよびオペランド情報が格納されたロードユニット172のリザーベーションステーション182における該当エントリ中の順序タグフィールド222に書き込む(図7参照)。

【0068】次に、命令デコーダ151は、続く命令番号4のLI命令(定数ロード命令)をデコードすると、そのオペコードおよびオペランド情報を同じクロックサイクル0のうちに演算ユニット171のリザーベーションステーション181の空きエントリに格納する。

【0069】同時に、順序タグ発行部210は、内部カウンタの値を1つ増加させ、内部カウンタの値2をLI命令に対する順序タグとして発行し、命令デコーダ151によりLI命令のオペコードおよびオペランド情報が格納された演算ユニット171のリザーベーションステーション181における該当エントリ中の順序タグフィールド221に書き込む(図7参照)。

【0070】続いて、命令デコーダ151は、その次に

ある命令番号5のAND I 命令（論理演算命令）をデコードする。命令デコーダ151は、デコードした命令のオペコードおよびオペランド情報を、リザベーションステーション181にまだ空きエントリがあるために、同じクロックサイクル0のうちに演算ユニット171のリザベーションステーション181の空きエントリに格納する。

【0071】同時に、順序タグ発行部210は、内部カウンタの値を1つ増加させ、内部カウンタの値3をAND I 命令に対する順序タグとして発行し、命令デコーダ151によりAND I 命令のオペコードおよびオペランド情報が格納された演算ユニット171のリザベーションステーション181における該当エントリ中の順序タグフィールド221に書き込む（図7参照）。

【0072】このクロックサイクル0では、書き込み部211は、サイクルカウンタ212のクロックサイクル値CYC (=0) を書き込みアドレスとしてトレースメモリ213に送出する。また、書き込み部211は、各機能ユニット（170, 171, 172, 173）から有効な順序タグTAGBR, TAGALU, TAGLD, TAGSTを送られていないので、5ビットの値00000を4つビット連結した20ビットの書き込みデータ00000000000000000000000000000000をトレースメモリ213に送出する（図7参照）。

【0073】結果として、書き込みアドレスが示すトレースメモリ213の行0に、書き込みデータ00000000000000000000000000000000がトレース情報として書き込まれる（図9参照）。

【0074】次に、クロックサイクル1での動作は、以下のようになる。

【0075】演算ユニット171は、クロックサイクル0で発行され、リザベーションステーション181のエントリに格納されていたオペコードおよびオペランド情報に基づいてL I 命令の処理を実行し、処理を終えたL I 命令に対する順序タグの値2および実行ステータスを書き込み部211に送る（図7参照）。

【0076】同様に、ロードユニット172は、クロックサイクル0で発行され、リザベーションステーション182のエントリに格納されていたオペコードおよびオペランド情報に基づいてLW命令の処理を開始する。ロード命令の処理には2クロックかかるため、ロードユニット172は、このクロックサイクルでは順序タグおよび実行ステータスを書き込み部211へ送らない（図7参照）。

【0077】一方、命令デコーダ151は、命令番号6のSLLV命令（論理演算命令）をデコードすると、そのオペコードおよびオペランド情報を演算ユニット171のリザベーションステーション181の空きエントリに格納する。

【0078】同時に、順序タグ発行部210は、内部カ

ウンタの値を1つ増加させ、内部カウンタの値4をSLLV命令に対する順序タグとして発行し、命令デコーダ151によりSLLV命令のオペコードおよびオペランド情報が格納された演算ユニット171のリザベーションステーション181における該当エントリ中の順序タグフィールド221に書き込む（図7参照）。

【0079】他方、書き込み部211は、サイクルカウンタ212のクロックサイクル値CYC (=1) を書き込みアドレスとしてトレースメモリ213に送出する。また、書き込み部211は、各機能ユニット（170, 171, 172, 173）から送られてきた各5ビットの順序タグをビット連結した20ビット長の書き込みデータ00000000010000000000000000000000をトレースメモリ213に送出する（図7参照）。

【0080】結果として、書き込みアドレスが示すトレースメモリ213の行1に、20ビットの書き込みデータ00000000010000000000000000000000がトレース情報として書き込まれる（図9参照）。

【0081】このように、命令のオペコードおよびオペランド情報とともに順序タグが添付されて処理を行う機能ユニットに送られ、各機能ユニット（170, 171, 172, 173）で命令が処理されると、その命令のオペコードおよびオペランド情報に添付されていた順序タグが書き込み部211を経由してクロックサイクル毎にトレースメモリ213にトレース情報として書き込まれていく。

【0082】最後に、命令デコーダ151が命令番号12のPSTOP命令をフェッチすると、命令デコーダ151は、先行命令（命令番号が11以下の命令）がすべて完了している、すなわちリオーダバッファ153に先行命令が全く存在しなくなるのを待って、PSTOP命令をデコードし、そのオペコードを順序タグ発行部210、トレース情報選択部215およびサイクルカウンタ212に送る。

【0083】これにより、順序タグ発行部210は、新たな順序タグの発行を止め、サイクルカウンタ212は、カウント動作を止め、トレース情報選択部215は、書き込み部211に指示してトレースメモリ213への新たなトレース情報の書き込みを停止させ、トレース情報採取機構全体の動作が停止する。

【0084】このように、命令実行順トレース情報採取モードでは、書き込み部211がクロックサイクルをアドレスとして順序タグを記録していくため、命令の実行されるクロックサイクル毎にトレースメモリ213にトレース情報を記録することができる。

【0085】図10は、トレース情報採取を行う別のプログラムの一部分を示す図である。このプログラムは、命令記述順トレース情報採取モードでトレース情報を採取する例である。すなわち、命令実行のクロックサイクル順ではなく、プログラムでの命令記述の順番に沿って

トレース情報を採取する。

【0086】図11は、図10に示したプログラムの実行における、各機能ユニット(170, 171, 172, 173)が出力する順序タグTAGBR, TAGALU, TAGLD, TAGSTおよび実行ステータスSTATBR, STATALU, STATLD, STATST, ならびに書き込み部211に送られる書き込みアドレスおよび書き込みデータをクロックサイクル毎に順を追って示したものである。

【0087】図12は、図10に示したプログラム部分10の実行によって得られたトレースメモリ213内のトレース情報を示したものである。

【0088】次に、図10に示したプログラム例に基づいて、命令記述順トレース情報採取モードでトレース情報を採取する場合の動作を説明する。

【0089】命令デコーダ151は、命令番号1のPSEL命令をデコードすると、第1パラメータstatusにより、命令記述順トレース情報採取モード(採取すべきトレース情報の種類として各命令の実行ステータス)を選択し、トレース情報選択部215に設定する。20 また、命令デコーダ151は、第2パラメータresetにより、トレースメモリ213の全内容を初期値0にリセットする。

【0090】次に、命令デコーダ151は、命令番号2のPTRIG命令をデコードすると、順序タグ発行部210の内部カウンタを初期値0にリセットとするとともに、サイクルカウンタ212を初期値0にリセットし、トレース情報採取機構全体を動作状態にする。ここで、命令番号3のLW命令(ロード命令)が命令デコーダ151からデコードされるクロックサイクルをサイクルカ30ウンタ212のサイクルクロック値CYC(=0)に基づいてクロックサイクル0とし、以後、プロセッサ110のクロックサイクル毎に、クロックサイクル1, クロックサイクル2, ...と呼ぶことにする。

【0091】クロックサイクル0での動作は、以下のようになる。

【0092】命令デコーダ151は、命令番号3のLW命令をデコードすると、そのオペコードおよびオペランド情報をロードユニット172のリザーベーションステーション182の空きエントリに格納する。

【0093】同時に、順序タグ発行部210は、内部カウンタの値を1つ増加させ、内部カウンタの値1をLW命令に対する順序タグとして発行し、命令デコーダ151によりLW命令のオペコードおよびオペランド情報が格納されたロードユニット172のリザーベーションステーション182における該当エントリ中の順序タグフィールド222に書き込む(図11参照)。

【0094】次に、命令デコーダ151は、続く命令番号4のLW命令をデコードすると、そのオペコードおよびオペランド情報を、リザーベーションステーション1850

2にまだ空きエントリがあるために、同じクロックサイクル0のうちにロードユニット172のリザーベーションステーション182の空きエントリに格納する。

【0095】同時に、順序タグ発行部210は、内部カウンタの値を1つ増加させ、内部カウンタの値2をLW命令に対する順序タグとして発行し、命令デコーダ151によりLW命令のオペコードおよびオペランド情報が格納されたロードユニット172のリザーベーションステーション182における該当エントリ中の順序タグフィールド222に書き込む(図11参照)。

【0096】次に、命令デコーダ151は、続く命令番号5のLI命令(定数ロード命令)をデコードすると、そのオペコードおよびオペランド情報を同じクロックサイクル0のうちに演算ユニット171のリザーベーションステーション181の空きエントリに格納する。

【0097】同時に、順序タグ発行部210は、内部カウンタの値を1つ増加させ、内部カウンタの値3をLI命令に対する順序タグとして発行し、命令デコーダ151によりLI命令のオペコードおよびオペランド情報が格納された演算ユニット171のリザーベーションステーション181における該当エントリ中の順序タグフィールド221に書き込む(図11参照)。

【0098】このクロックサイクル0では、書き込み部211は、各機能ユニット(170, 171, 172, 173)から有効な実行ステータスSTATBR, STATALU, STATLD, STATSTを送られていないので、書き込みアドレスおよび書き込みデータをトレースメモリ213に送出しない(図11参照)。

【0099】クロックサイクル1での動作は、以下のようになる。

【0100】演算ユニット171は、クロックサイクル0で発行され、リザーベーションステーション181のエントリに格納されていたオペコードおよびオペランド情報に基づいてLI命令の処理を実行し、処理を終えたLI命令に対する順序タグの値3および実行ステータス「———」(ただし、適当なビット数の2進数に符号化されている。以下同様)を書き込み部211に送る(図11参照)。この実行ステータスは、演算ユニット171での演算結果のフラグ変化を意味する情報で、左から順にキャリーフラグ、オーバーフローフラグ、サインフラグ、およびゼロフラグの変化を示す。「———」は、4つのフラグのいずれも変化しないことを意味する。

【0101】同様に、ロードユニット172は、クロックサイクル0で発行され、リザーベーションステーション182の先のエントリに格納されていたオペコードおよびオペランド情報に基づいて命令番号3のLW命令の処理を実行する。しかし、クロックサイクル0中にはLW命令の処理が完了しないので、ロードユニット172は、処理を終えたLW命令に対する順序タグの値1およ

び実行ステータスを書き込み部211には送らない(図11参照)。

【0102】一方、命令デコーダ151は、命令番号6のAND命令(論理演算命令)をデコードすると、そのオペコードおよびオペランド情報を演算ユニット171のリザーベーションステーション181の空きエントリに格納する。

【0103】同時に、順序タグ発行部210は、内部カウンタの値を1つ増加させ、内部カウンタの値4をAND命令に対する順序タグとして発行し、命令デコーダ151によりAND命令のオペコードおよびオペランド情報が格納された演算ユニット171のリザーベーションステーション181における該当エントリ中の順序タグフィールド221に書き込む(図11参照)。

【0104】次に、命令デコーダ151は、命令番号7のCMP命令(比較命令)をデコードすると、リザーベーションステーション181にまだ空きエントリがあるために、同じクロックサイクル1のうちに、そのオペコードおよびオペランド情報を演算ユニット171のリザーベーションステーション181の空きエントリに格納する。

【0105】同時に、順序タグ発行部210は、内部カウンタの値を1つ増加させ、内部カウンタの値5をCMP命令に対する順序タグとして発行し、命令デコーダ151によりCMP命令のオペコードおよびオペランド情報が格納された演算ユニット171のリザーベーションステーション181における該当エントリ中の順序タグフィールド221に書き込む(図11参照)。

【0106】他方、書き込み部211は、演算ユニット171から送られてきた順序タグの値3を書き込みアドレスとしてトレースメモリ213に送出するとともに、演算ユニット171から送られてきた実行ステータス「———」を書き込みデータとしてトレースメモリ213に送出する(図11参照)。

【0107】結果として、書き込みアドレスが示すトレースメモリ213の行3に、書き込みデータ「———」がトレース情報として書き込まれる(図12参照)。

【0108】クロックサイクル2での動作は、以下のようになる。

【0109】ロードユニット172は、命令番号3のLW命令の処理を終了し、順序タグの値1および実行ステータス「hit」(ただし、適当なビット数の2進数に符号化されている。以下同様)を出力する。実行ステータス「hit」は、ロードユニット172でのロード処理にて、データキャッシュ160がヒットしたことを意味する。このクロックサイクル2では、他に処理を終えた機能ユニットはなく、順序タグの値1および実行ステータス「hit」だけが書き込み部211に送られる。

【0110】書き込み部211は、ロードユニット17

2から送られてきた順序タグの値1を書き込みアドレスとしてトレースメモリ213に送出するとともに、ロードユニット171から送られてきた実行ステータス「hit」を書き込みデータとしてトレースメモリ213に送出する(図11参照)。

【0111】結果として、書き込みアドレスが示すトレースメモリ213の行1に、書き込みデータ「hit」がトレース情報として書き込まれる(図12参照)。

【0112】このように、命令のオペコードおよびオペランド情報とともに順序タグが添付されて処理を行う機能ユニットに送られ、各機能ユニット(170, 171, 172, 173)で命令が処理されると、その実行ステータスがその命令のオペコードおよびオペランド情報に添付されていた順序タグを書き込みアドレスとしてトレースメモリ213にトレース情報として書き込まれていく。

【0113】最後に、命令デコーダ151は、命令番号8のPSTOP命令をフェッチすると、命令デコーダ151は、先行命令(命令番号が7以下の命令)がすべて完了している、すなわちリオーダバッファ153に先行命令が全く存在しなくなるのを待って、PSTOP命令をデコードし、そのオペコードを順序タグ発行部210、トレース情報選択部215およびサイクルカウンタ212に送る。

【0114】これにより、順序タグ発行部210は、新たな順序タグの発行を止め、サイクルカウンタ212は、カウント動作を止め、トレース情報選択部215は、書き込み部211に指示してトレースメモリ213への新たなトレース情報の書き込みを停止させ、トレース情報採取機構全体の動作が停止する。

【0115】このように、命令記述順トレース情報採取モードでは、書き込み部211が命令の記述順を示す順序タグをアドレスとして実行ステータスを記録していくため、命令の実行されるクロックサイクルにかかわらず、プログラム中の命令の記述順序に沿ってトレースメモリ213にトレース情報を記録することができる。

【0116】なお、上記実施の形態の説明では、順序タグ発行部210を内部カウンタを有し、内部カウンタのカウント値を順序タグとして命令に添付するものとして説明したが、命令に添付されるタグは整数値をとる順序タグに限られるものではなく、任意の符号等であってもよい。このようにした場合には、順序タグ発行部210を、単なるタグ発行部とすればよく、タグを発行するロジックは適宜選定することができる。例えば、オペコードに一意に対応するタグを発行するようにしてもよい。

【0117】また、上記実施の形態の説明では、トレース情報採取機構をインオーダ命令発行のプロセッサ110に実装した例をとりあげたが、本発明は、アウトオブオーダ命令発行のプロセッサに対しても同様に適用可能である。なぜならば、順序タグ発行部210がプログラ

ム上の命令記述順に従って命令に順序タグを割り当てるため、その後の処理が命令記述順と異なってもトレース情報の採取上、問題にならないからである。

【0118】

【発明の効果】第1の効果は、命令実行パイプラインの動作履歴やキャッシュヒットの有無等をソフトウェアから知ることができることである。すなわち、命令実行パイプラインの動作履歴やキャッシュヒットの有無等の知りたいトレース情報をソフトウェアが指示して履歴に残すことができることである。その理由は、実行する命令にユニークな順序タグを付した上、実行中の命令の順序タグを機能ユニットから集め、クロックサイクル毎に記録する手段を有しているためである。

【0119】第2の効果は、各々の命令の動作結果の履歴をソフトウェアから柔軟に参照できることである。そのため、例えば、一連の命令列を実行後、各々の命令の実行ステータスの正当性を一括してチェックすることができる。この効果をもたらす理由は、命令に付した順序タグをアドレスとして動作状況の履歴を記録する手段を備えているためである。

【図面の簡単な説明】

【図1】本発明の一実施の形態に係るトレース情報採取機構を含むプロセッサの構成を示すブロック図である。

【図2】図1中の書き込み部の詳細を示す図である。

【図3】図2の書き込み部の動作を説明する図である。

【図4】図2の書き込み部の別の動作を説明する図である。

【図5】本実施の形態に係るトレース情報採取機構の利用に関連するプロセッサ命令の例を示す図である。

【図6】本実施の形態に係るトレース情報採取機構の動作を説明するためのプログラムの一部分を示す図である。

【図7】図6のプログラムでのプロセッサの内部動作の

前半部を示す図である。

【図8】図6のプログラムでのプロセッサの内部動作の後半部を示す図である。

【図9】図6のプログラムで得られるトレース情報の結果を示す図である。

【図10】本実施の形態に係るトレース情報採取機構の別の動作を説明するためのプログラムの一部分を示す図である。

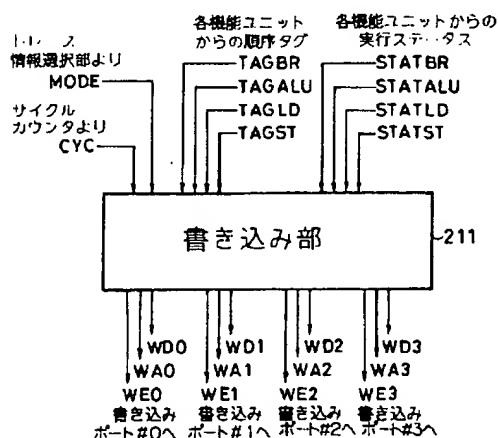
【図11】図10のプログラムでのプロセッサの内部動作を示す図である。

【図12】図10のプログラムで得られるトレース情報の結果を示す図である。

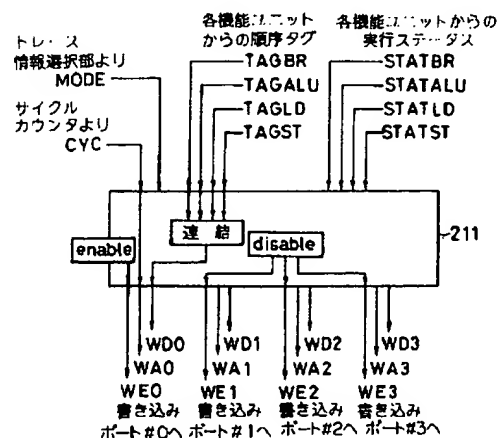
【符号の説明】

100 命令メモリ
101 データメモリ
110 プロセッサ
150 命令キャッシュ
151 命令デコーダ
152 レジスタファイル
153 リオーダバッファ
160 データキャッシュ
170 分岐ユニット
171 演算ユニット
172 ロードユニット
173 ストアユニット
180～183 リザーベーションステーション
210 順序タグ発行部
211 書き込み部
212 サイクルカウンタ
213 トレースメモリ
214 読み出し部
215 トレース情報選択部
220～223 順序タグフィールド

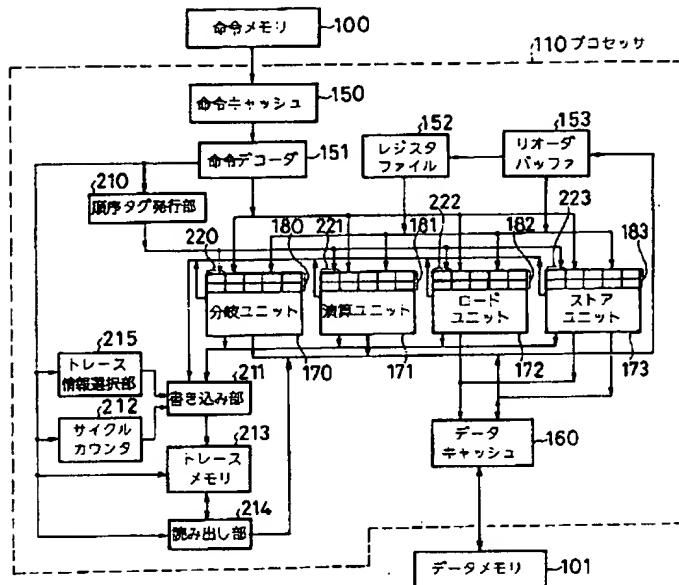
【図2】



【図3】



【図1】



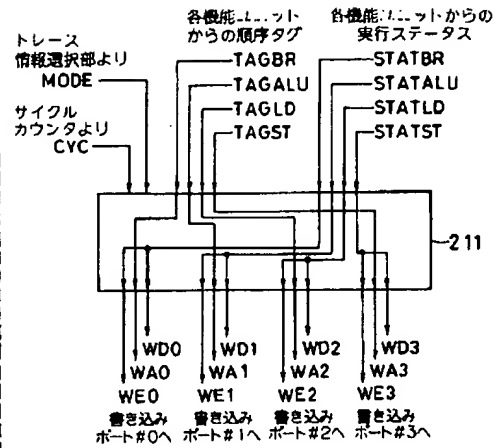
【図5】

PSEL mode	トレース情報選択
PTRIG	トリガ(トレース情報採取開始)
PSTOP	トレース停止
PRDR reg#,row#	トレースメモリのrow#行目をレジスタreg#へ転送
PRDC reg#,col#	トレースメモリのcol#列目をレジスタreg#へ転送

【図7】

クロックサイクル	0	1	2	3	4
発行命令および順序タグ	LW [1] L1 [2] ANDI [3]	SLLV [4]		SLTI [5] SW [6]	ANDI [7] SW [8]
分岐ユニットのRVST					
演算ユニットのRVST	L1 [2] ANDI [3]	ANDI [3] SLLV [4]	ANDI [3] SLLV [4]	SLLV [4] SLTI [5]	SLTI [5] ANDI [7]
ロードユニットのRVST	LW [1]	LW [1]			
ストアユニットのRVST				SW [6] SW [8]	SW [6] SW [8]
分岐ユニットからの順序タグ出力					
演算ユニットからの順序タグ出力		L1 [2]		ANDI [3]	SLLV [4]
ロードユニットからの順序タグ出力			LW [1]		
ストアユニットからの順序タグ出力					SW [6]
書き込み部の書き込みアドレスおよび書き込みデータ	0 [-,-,-,-]	1 [-,2,-,-]	2 [-,-,1,-]	3 [-,-,3,-,-]	4 [-,-,4,-,-]

【図4】



【図12】

アドレス	内容
1	hit
2	hit
3	----
4	-000
5	0001

【図6】

```

1: PSEL unit,reset
2: PTRIG
3: LW r11,0x50(gp)
4: LI r13,1
5: ANDI r14,r11,0x1F
6: SLLV r15,r13,r14
7: SLTI r1,r14,0x11
8: SW r14,0x50(gp)
9: ANDI r12,r11,0x80
10: SW r15,0x4C(gp)
11: SW r12,0x30(gp)
12: PSTOP

```

【図9】

アドレス	内容
0	00000000000000000000
1	00000000100000000000
2	00000000000000010000
3	00000000110000000000
4	00000001000000000000
5	00000001010000000110
6	00000001110000000000
7	000000000000000001000
8	00000000000000000000
9	000000000000000001001
10	00000000000000000000

【図8】

クロックサイクル	5	6	7	8	9	10
発行命令 および 順序タグ	SW [9]					PSTOP
分岐ユニット のRVST						
演算ユニット のRVST	ANDI [7]					
ロードユニット のRVST						
ストアユニット のRVST	SW [8] SW [9]	SW [8] SW [9]	SW [9]	SW [9]		
分岐ユニットからの 順序タグ出力						
演算ユニットからの 順序タグ出力	SLTI [5]	ANDI [7]				
ロードユニットからの 順序タグ出力						
ストアユニットからの 順序タグ出力	SW [8]		SW [8]		SW [9]	
書き込み部の 書き込みアドレスお よび書き込みデータ	5 [-5,-6]	6 [-7,-,-]	7 [-,-,-,8]	8 [-,-,-,-,]	9 [-,-,-,-,9]	停止

【図10】

1: PSEL status, reset
 2: PTRIG
 3: LW r11, 0x14(gp)
 4: LW r13, 0x8(gp)
 5: LI r12, 7
 6: AND r15, r11, r12
 7: CMP r15, r13
 8: PSTOP

【図11】

クロックサイクル	0	1	2	3	4	5
発行命令 および 順序タグ	LW [1] LW [2] LI [3]	AND [4] CMP [5]				
分岐ユニット のRVST						
演算ユニット のRVST	LI [3]	AND [4] CMP [5]	AND [4] CMP [5]	CMP [5]		
ロードユニット のRVST	LW [1] LW [2]	LW [2]				
ストアユニット のRVST						
分岐ユニットからの順序 タグと実行ステータス出力						
演算ユニットからの順序 タグと実行ステータス出力		LI [3] ----		AND [4] -000		CMP [5] 0001
ロードユニットからの順序 タグと実行ステータス出力			LW [1] hit		LW [2] hit	
ストアユニットからの順序 タグと実行ステータス出力						
書き込み部の 書き込みアドレス および書き込みデータ		3: ----	1: hit	4: -000	2: hit	5: 0001